

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-260601

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01C 7/00
H01C 17/00

(21)Application number : 10-080451

(71)Applicant : HOKURIKU ELECTRIC IND CO LTD

(22)Date of filing : 12.03.1998

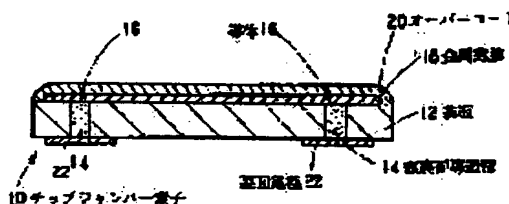
(72)Inventor : AZUMA KOJI
ISHIYAMA ICHIRO
NAGARE ICHIRO
YAMAZAKI MORIKATSU
OBARA YOZO

(54) CHIP ELECTRONIC COMPONENT AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce component thickness and enable its incorporation in a multilayer board.

SOLUTION: A front-back sides conduction part 14 coated with a conductive paint is provided at both ends of a board 12 made of an insulating film or the like, and a metal thin film 18 made of ultra-fine powder is formed in the front side of the board 12 so as to be connected with the front-back conduction parts 14. The metal thin film 18 is coated with an insulating resin 20, and back electrodes 22 are connected respectively to the front-back sides conduction parts 14 on the back side of the board 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-260601

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁸

H 0 1 C 7/00

17/00

識別記号

F I

H 0 1 C 7/00

17/00

B

A

審査請求 未請求 請求項の数6 F D (全 5 頁)

(21) 出願番号

特願平10-80451

(22) 出願日

平成10年(1998) 3月12日

(71) 出願人 000242633

北陸電気工業株式会社

富山県上新川郡大沢野町下大久保3158番地

(72) 発明者 東 誠二

富山県上新川郡大沢野町下大久保3158番地

北陸電気工業株式会社内

(72) 発明者 石山 一郎

富山県上新川郡大沢野町下大久保3158番地

北陸電気工業株式会社内

(72) 発明者 流 一郎

富山県上新川郡大沢野町下大久保3158番地

北陸電気工業株式会社内

(74) 代理人 弁理士 廣澤 勲

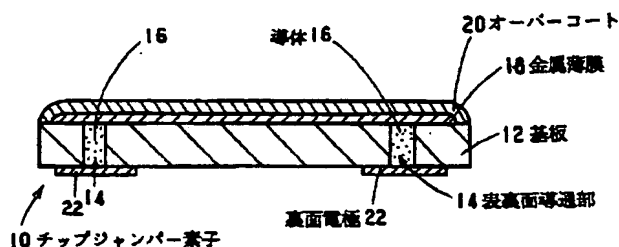
最終頁に続く

(54) 【発明の名称】 チップ電子部品とその製造方法

(57) 【要約】

【課題】 厚さが薄く、多層基板にも内蔵可能なチップ電子部品とその製造方法を提供する。

【解決手段】 絶縁性フィルム等からなる基板12の両端に、導電性塗料が塗布された表裏面導通部14が設けられ、基板12の表面には、この表裏面導通部14と接続するように超微粉末の金属薄膜18が形成されている。この金属薄膜18は、絶縁性樹脂20で被覆され、基板裏面の表裏面導通部14には各々裏面電極22が接続している。



【特許請求の範囲】

【請求項1】 絶縁性の基板の両端に表裏面導通部が設けられ、上記基板の表面でこの表裏面導通部と接続するように超微粉末の金属薄膜が形成され、上記表裏面導通部の側面に導電性塗料が塗布され、上記基板裏面の上記表裏面導通部に接続して各々裏面電極が形成されたチップ電子部品。

【請求項2】 上記基板は、絶縁性フィルムである請求項1記載のチップ電子部品。

【請求項3】 絶縁性フィルムの基板の両端に一对の表裏面導通部が設けられ、上記基板の表面でこの表裏面導通部と接続するように抵抗体が形成され、上記表裏面導通部の側面に導電性塗料が塗布され、上記基板裏面の上記表裏面導通部に接続して各々裏面電極が形成されたチップ電子部品。

【請求項4】 絶縁性基板の両端に対向する一对の表裏面導通部を設け、この表裏面導通部の側面に導電性塗料を塗布し、この表裏面導通部と電気的に接続した裏面電極を形成するとともに、その前または後に、上記基板表面で上記表裏面導通部と接続するように超微粉末金属が分散した塗料を印刷し、超微粉末金属薄膜を形成するチップ電子部品の製造方法。

【請求項5】 絶縁性フィルムからなる大型の基板の各チップを構成する基板部分の両端に各々対向する一对の表裏面導通部を設け、この表裏面導通部の側面に導電性塗料を塗布し、上記表裏面導通部と電気的に接続した複数の裏面電極を形成し、上記大型基板の表面でこの表裏面導通部と接続するように複数の抵抗体を形成し、この後、上記大型基板を各々チップ電子部品に切断するチップ電子部品の製造方法。

【請求項6】 上記チップ電子部品を多層回路基板の中間層の回路上に積層するチップ電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、多層基板の回路パターンに接続されるチップ電子部品とその製造方法に関する。

【0002】

【従来の技術】 従来、チップ抵抗等のチップ電子部品は、セラミック基板に抵抗体等が形成され、その厚みは、薄いものでも0.5mm程度の厚みであった。その製造方法は、大型の基板に電極や抵抗体を印刷し、さらに絶縁性樹脂のオーバーコートをし、その後、個々のチップ抵抗体毎に大型の基板を分割するものであった。

【0003】

【発明が解決しようとする課題】 上記従来の技術の場合、電子機器の高度化や多機能化、小型化に伴い、複数の基板を積層したり、多層基板内に様々な機能を有する電子回路などを内蔵することが求められているが、従来のチップ部品は厚みが厚く、多層基板の内部に積層可能

なチップ電子部品はなかった。また、回路基板上に、抵抗体やコンデンサを印刷技術により形成するものもあるが、多層基板の製造工程が複雑化し、簡単に形成することができないものであった。

【0004】 この発明は上記従来の問題点を鑑みてなされたものであり、厚さが薄く、多層基板にも内蔵可能なチップ電子部品とその製造方法を提供することを目的とする。

【0005】

10 【課題を解決するための手段】 この発明のチップ電子部品は、絶縁性フィルム等からなる基板の両端に、導電性塗料が塗布された表裏面導通部が設けられ、基板の表面には、この表裏面導通部と接続するように超微粉末の金属薄膜が形成されている。この金属薄膜は、必要に応じて絶縁性樹脂のオーバーコートで被覆され、基板裏面の表裏面導通部には各々裏面電極が接続している。

20 【0006】 このチップ電子部品の製造方法は、まず絶縁性基板の両端に対向する一对の表裏面導通部を設け、この表裏面導通部の側面と、基板裏面の表裏面導通部の周囲に導電性塗料を塗布する。さらにこの表裏面導通部と電気的に接続した裏面電極を形成する。そして、基板表面で表裏面導通部と接続するように超微粉末金属が分散した塗料を印刷し、超微粉末金属薄膜を基板表面に形成する。またこの超微粉末金属薄膜の表面全体を、必要に応じてオーバーコートにより被覆する。

30 【0007】 またこの発明は、絶縁性フィルムの基板の両端に一对の表裏面導通部が設けられ、基板の表面でこの表裏面導通部と接続するように抵抗体が形成されている。この抵抗体の表面は、必要に応じて絶縁性樹脂のオーバーコートで被覆され、また表裏面導通部の側面と、基板裏面の表裏面導通部の周囲に各々裏面電極が形成されている。

40 【0008】 このチップ電子部品の製造方法は、絶縁性フィルムからなる大型のシート状またはテープ状の基板の各チップを構成する基板部分の両端に各々対向する一对の表裏面導通部を設け、上記大型基板の表面でこの表裏面導通部と接続するように複数の抵抗体を形成する。次にこの各抵抗体の表面を、必要に応じて絶縁性樹脂のオーバーコートで被覆する。また、上記抵抗体の形成前または後に、表裏面導通部の側面と、基板裏面の表裏面導通部の周囲に導電性塗料を塗布し、この表裏面導通部と電気的に接続した複数の裏面電極を形成する。この後、大型基板を個々のチップ毎に切断しチップ電子部品を形成する。

【0009】 これらのチップ電子部品は、多層回路基板の中間層の回路上に積層することが可能な厚さである。

【0010】

50 【発明の実施の形態】 以下、この発明の実施の形態について図面に基いて説明する。図1～図4ははこの発明の第一実施形態のチップジャンパー素子10を示してい

る。矩形状の基板12には、両端に一对の表裏面導通部14が設けられ、表裏面導通部14は、基板12の表裏面を電気的に接続する透孔であり、その側面には導体16として従来より用いられている銀レジンの導電性塗料が塗布されている。また基板12はポリイミドやポリエチレン等の300℃程度までの耐熱性を有する絶縁性のフィルムで、30μm程度の厚みを有する。

【0011】基板12の表面には、超微粉末の金属塗料からなる約1μmの厚さの金属薄膜18が形成されている。金属薄膜18は、金や銀などの直径が100Å程度の超微粉末を溶液中に分散させたものである。

【0012】金属薄膜18は、図2に示すように表裏面導通部14の導体16に接続している。また金属薄膜18の表面には絶縁性樹脂で約7μmのオーバーコート20が施されている。

【0013】基板12の裏面には、表裏面導通部14の周囲に導電性塗料からなる裏面電極22が形成され、表裏面導通部14の導体16を介して金属薄膜18の両端部と各裏面電極22が接続している。

【0014】次にこの実施形態のチップジャンパ素子10の製造方法について以下に説明する。この実施形態のチップジャンパ素子10の製造方法は、まず絶縁性フィルムで大型のシート状またはテープ状の基板に、基板12の表裏面を貫通する透孔からなる一对の表裏面導通部14を一定間隔で複数形成する。そして、この表裏面導通部14の側面に導電性塗料を塗布し導体16を設ける。このとき同時に、導電性塗料を塗布して裏面電極22を形成する。

【0015】次に超微粉末の分散性金属を溶液中に分散させた金属塗料を各表裏面導通部14に接続するようにストライプ状又は個々のチップ毎に印刷し、約220℃で1時間程度乾燥させ、金属薄膜18を形成する。次に金属薄膜18の表面全体を被覆するように絶縁性樹脂からなるオーバーコート20を印刷し焼き付け、チップジャンパ素子10を形成する。この後、フィルム状の大型の基板を、個々の基板12毎に分割し、チップジャンパ素子10を完成させる。

【0016】この実施形態のチップジャンパ素子10は、低抵抗で全体の厚みが40μm程度と薄いことから、図4に示すように多層基板を構成する回路基板24に設けられた回路パターン26の電極に、裏面電極22を介して接続し、チップジャンパ素子10として多層基板に積層し内蔵させることが可能である。このとき、裏面電極22は、回路パターン26に熱圧着により接続固定する。また、製造は、フィルム状の大型の基板から印刷技術により連続的に形成することができ、特に、テープ状の基板を用いることにより、製造及び製造後の取り扱いも容易なものとなる。なお、表裏面導通部14及び裏面電極22の間隔は、チップジャンパ素子10を設ける回路基板24上の回路パターン26の電極間隔に

対応して形成する。

【0017】次に、この発明の第二実施形態について図5に基づいて説明する。ここで上記実施形態と同様の部材は同一の符号を付して説明を省略する。この実施形態のチップ電子部品は、チップ抵抗器28についてのもので、矩形状の基板12の両端に表裏面導通部14が設けられている。表裏面導通部14は、基板12の表裏面を電気的に接続する透孔であり、その側面には導体16として、従来より用いられている銀レジンの導電性塗料が塗布されている。また基板12はポリイミドやポリエチレン等の300℃程度までの耐熱性を有する絶縁性のフィルムで、30μm程度の厚みを有する。

【0018】基板12表面には、抵抗体30が形成され、抵抗体30は各表裏面導通部14に接続するように個々のチップ毎に設けられている。また抵抗体30は、カーボンレジンの厚膜抵抗体や、Ni-P、Ni-B、Ni-C等の合金薄膜抵抗体等、任意の抵抗体を選択し得る。

【0019】抵抗体30の表面には、絶縁性樹脂のオーバーコート20が施されている。また、基板12裏面に表裏面導通部14の周囲には導電性塗料からなる裏面電極22が形成され、表裏面導通部14の導体16を介して抵抗体30と接続している。

【0020】次にこの実施形態のチップ抵抗器28の製造方法について以下に説明する。この実施形態のチップ抵抗器28の製造方法は、絶縁性フィルムで大型のシート状またはテープ状の基板の各々チップを構成する基板12の両端に、基板12の表裏面を貫通する複数の透孔からなる表裏面導通部14を形成する。そして、この表裏面導通部14の内部に導電性塗料を塗布し導体16を設ける。さらに、基板12裏面の表裏面導通部14の周囲に導体16と接続するように導電性塗料を塗布し、裏面電極22を設ける。

【0021】次にシート状またはテープ状の基板12にカーボンレジン塗料を一对の表裏面導通部14に接続するように、ストライプ状又は個々のチップ毎に印刷し焼き付け、抵抗体30を形成する。なお、抵抗体30は、カーボンレジンの代わりにNi-P、Ni-B合金を用いる場合は無電解メッキで、またNi-Cを用いる場合は真空蒸着により各薄膜抵抗体を形成する。これらの抵抗体材料は、用途に合わせて適宜選択し、膜厚も調整する。

【0022】次に抵抗体30の表面全体を被覆するように絶縁性樹脂からなるオーバーコート20を印刷し焼き付ける。

【0023】ここで裏面電極22を形成する導電性樹脂を上記カーボンレジンや各合金にかえてもよく、抵抗体30の形成と同様に印刷またはメッキ、蒸着等の方法で裏面電極22を形成する。

【0024】この実施形態のチップ抵抗素子28は、所

望の抵抗を有し、抵抗体30を構成する材料を適宜選択することにより厚さを変更し、また厚さを印刷による抵抗体30の場合でも50 μ m以下とすることにより、多層基板に内蔵することができる。また、金属薄膜抵抗体の場合、さらに、40 μ m以下の薄いチップ抵抗体とすることができる。

【0025】なお、上記各実施形態において、表裏面導通部14は、基板12側面に設けられた溝でも良く、この場合、大型の基板に所定間隔で透孔を形成し、この透孔部分で個々の基板に分割することにより、各基板の側端面に半円状の凹溝が形成される。これにより、予め形成する透孔の数を上記実施形態の半分にすることができる。また、表裏面導通部14の他の実施形態として、基板12の側面に切り欠き部を形成し、導電性塗料を塗布したり、また基板12の両端面に導電性塗料を塗布しても良い。この場合も、基板を一方方向に分割した後、複数の短冊状の基板12の端面に導電性塗料を塗布すれば良く、製造は容易である。

【0026】また、図6に示すように、基板12に表裏面導通部14として透孔を形成し、この透孔の周囲に凹部36を表裏に形成し、この凹部36及び表裏面導通部14の透孔内に、導電性塗料を塗布して導体16を形成しても良い。そして、この導電性塗料を各表裏面導通部14間にも塗布してチップジャンパ線40を形成することも可能である。また裏面電極42も導電性お料により形成しても良い。これにより、導電性塗料による表裏面導通部14の周囲及び裏面電極42が凹部36により盛り上がりならず、導電性塗料を用いたものでも薄い素子とすることができ、多層基板内に積層可能な素子を容易に形成できる。また、導体16は、導電性塗料以外に、真空蒸着やスパッタリング、メッキ等で所定範囲に形成しても良い。この場合より薄く形成可能である。ここで、凹部36及び透孔の形成はパンチングにより容易に形成可能であり、透孔の周囲を凹部36とともに曲面状に形成することにより、角部がなく、断線の少ない素子とすることができる。

【0027】さらに、表裏にジャンパ線42や抵抗体30が形成された基板12を積層して、その積層された素子を多層基板内に内蔵させることも可能である。この場合、抵抗体30や、導体16等をしパッタリングや蒸着による金属薄膜で形成することにより、各基板12に積層される材料を薄くし、多層基板内への内蔵を可能にする。基板12は接着剤44により積層する。これによ

り、多層基板に内蔵されるチップ電子部品の機能を多機能化することができ、LCR複合電子部品等も形成可能である。よって、基板12に形成される電子素子は適宜選択可能なものである。

【0028】また、表裏面導通部には、導電性塗料による導体とスパッタリングや蒸着等による薄膜の両方を施しても良い。これにより抵抗値が低く、強度も高きものとしてすることができる。さらに、表面のオーバーコートは、必要に応じて設ければ良く、多層基板に内蔵される場合は、設けなくとも良い場合もある。

【0029】

【発明の効果】この発明のチップ電子部品は、薄い基板上に抵抗体等の素子を形成するため、極めて薄く、多層基板内の層間に内蔵可能である。また、抵抗器の場合、用途に合わせて抵抗体を選択することで所望の抵抗値を有する抵抗体を容易に形成でき、多層基板中に適宜のチップ電子部品を搭載可能となる。さらに、これらのチップ電子部品は、構成部材が少なく製造が簡単なため、製造コストが低く、安価で高品質のチップ電子部品を提供することが可能にする。

【図面の簡単な説明】

【図1】この発明の第一実施形態のチップジャンパ素子を示す断面図である。

【図2】この発明の第一実施形態のチップジャンパ素子を示す平面図である。

【図3】この発明の第一実施形態のチップジャンパ素子を示す底面図である。

【図4】この発明の第一実施形態のチップジャンパ素子を内蔵した多層基板の断面図である。

【図5】この発明の第二実施形態のチップ抵抗器を示す断面図である。

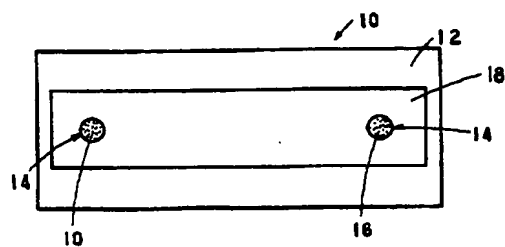
【図6】この発明の他の実施形態のチップ電子部品を示す断面図である。

【図7】この発明のさらに他の実施形態のチップ電子部品を示す断面図である。

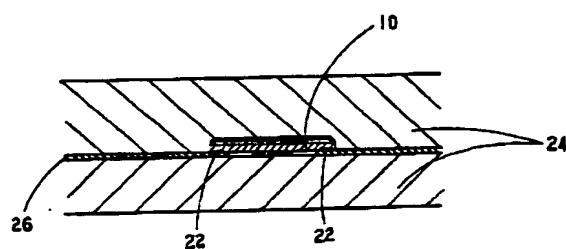
【符号の説明】

- | | |
|----|-----------|
| 10 | チップジャンパ素子 |
| 12 | 基板 |
| 14 | 表裏面導通部 |
| 16 | 導体 |
| 18 | 金属薄膜 |
| 20 | オーバーコート |
| 22 | 裏面電極 |

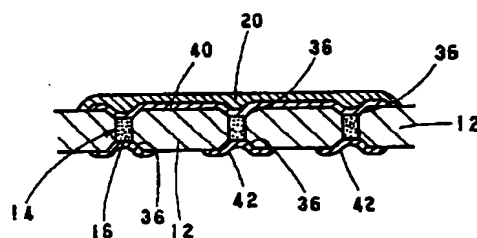
【圖 2】



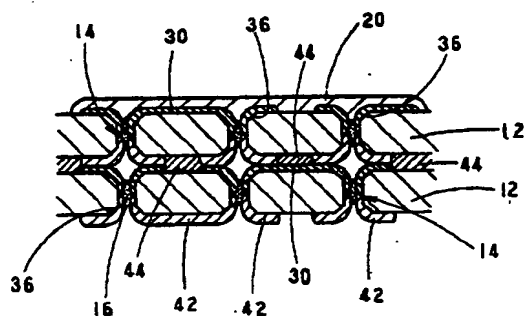
【図4】



【図6】



【图7】



(72)発明者 山崎 盛勝
富山県上新川郡大沢野町下大久保3158番地
北陸電気工業株式会社内

(72)発明者 小原 陽三
富山県上新川郡大沢野町下大久保3158番地
北陸電気工業株式会社内